

# 公開実用 昭和62- 24523

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62-24523

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)2月14日

H 03 H 7/32  
H 01 F 17/02

7210-5J  
2109-5E

審査請求 未請求 (全 頁)

⑮ 考案の名称 デイレイライン

⑯ 実 願 昭60-116979

⑰ 出 願 昭60(1985)7月29日

⑱ 考 案 者 赤 地 義 昭 東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社内

⑲ 出 願 人 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号

⑳ 代 理 人 井理士 阿部 美次郎

## 明 細 書

### 1. 考案の名称

ディレイライン

### 2. 実用新案登録請求の範囲

(1) 絶縁基板上でインダクタとコンデンサとを組合せたディレイラインにおいて、前記インダクタは前記絶縁基板に被着形成された導電パターンによって構成したことを特徴とするディレイライン。

(2) 前記導電パターンは、前記絶縁基板の厚み方向に貫通する貫通孔を通して、絶縁基板の厚み方向の両面側で連続させながら、絶縁基板の長さ方向に沿って螺旋状に形成したことを特徴とする実用新案登録請求の範囲第1項に記載のディレイライン。

(3) 前記貫通孔は、前記絶縁基板の幅方向に間隔をおき、絶縁基板の長さ方向に沿って二列形成されていることを特徴とする実用新案登録請求の範囲第2項に記載のディレイライン。

(4) 前記貫通孔は、各列において前記絶縁基

板の長さ方向に隣り合うものが、絶縁基板の幅方向で、互いに段違いとなる位置に形成されていることを特徴とする実用新案登録請求の範囲第3項に記載のディレイライン。

(5) 前記コデンサは、両端部に取出電極を有してチップ状に形成されたものでなることを特徴とする実用新案登録請求の範囲第1項、第2項、第3項または第4項に記載のディレイライン。

### 3. 考案の詳細な説明

#### 産業上の利用分野

本考案は、コンデンサとインダクタとを組合せた半分布状数型のディレイラインに関し、インダクタを絶縁基板に被着形成された導電パターンによって構成し、この導電パターンに対してコンデンサを接続することにより、遅延時間の小さい高速ディレイラインが得られるようにしたものである。

#### 従来技術

コンピュータ或いは制御機器のタイミング調

整、復調回路、発振回路、レーダ用位置検出またはカラーテレビ等に使用されるディレイラインは、基本的に、第4図に示すように、インダクタンス $L$ とコンデンサ $C$ とでなる回路を一区間として、多段接続した回路構成となっている。第4図の基本回路において、各区間における区間遅延時間 $T_d$ 及び出力インピーダンス $Z_0$ は、

$$T_d = \sqrt{LC} \quad (1)$$

$$Z_0 = \sqrt{L/C} \quad (2)$$

となる。ディレイライン全体としての総遅延時間 $T_D$ は、区間毎の遅延時間 $T_d$ に区間段数 $n$ を乗じた値として求められる。

第4図に示すようなディレイラインを得る場合、従来は第5図に示すように、フェライト等よりなるドラムコア1にコイル2を巻装した多数のインダクタ4を、回路基板3の上に間隔をおいて配置すると共に、回路基板3の他面側に、該インダクタ4と共に遅延回路を構成する多数のコンデンサ5を配置し、これらを第4図に示す回路構成となるように接続していた。

## 考案が解決しようとする問題点

ところで、遅延時間の短い高速ディレイラインを得るためには、上記(1)式から明らかなように、インダクタンス $L$ 及びコンデンサ $C$ の積 $LC$ を小さくすればよい。

一方、上記(2)式で表わされるように、インダクタンス $L$ 及びコンデンサ $C$ は、出力インピーダンス $Z_0$ にも関係する。この場合、出力インピーダンス $Z_0$ は、ディレイラインの入出力側に接続される集積回路とのインピーダンスマッチングを取るため、 $50 \sim 100 \Omega$ の範囲に設定する必要がある。

従って、遅延時間の短い高速ディレイラインを得るには、インダクタンス $L$ 及びコンデンサ $C$ の値を、要求される遅延時間 $T_d$ を満たし、かつ、出力インピーダンス $Z_0$ の要求値( $50 \sim 100 \Omega$ )を満足するように選定する必要がある。しかし、これらの2つの条件を同時に満足することは、非常に困難である。

特に、ドラムコア1を使用してインダクタを構

成した場合には、インダクタンス $L$ が大きくなるから、高速ディレイラインとして要求される遅延時間 $T_d$ を得るためには、コンデンサ $C$ の値を小さくする必要があり、このような条件下では、出力インピーダンス $Z_0$ が、現実要求されている値 $50 \sim 100 \Omega$ を越えてしまうのである。

高速化の手段として、各区間において、インダクタ $L$ を構成するコイルの1ターン毎にコンデンサを接続し、遅延時間を小さくする手段も考えられるが、コイルの1ターン毎にコンデンサを接続して行く構造を取ることは、特にドラムコアを用いた場合には、殆ど不可能に近い。

#### 問題点を解決するための手段

上述する従来の問題点を解決するため、本考案では、絶縁基板上でインダクタとコンデンサとを組合せたディレイラインにおいて、前記インダクタは前記基板に直接的に被着形成された導電パターンによって構成し、前記コンデンサは前記絶縁基板の面上に配置して前記導電パターンに接続



したことを特徴とする。

#### 作用

本考案では、インダクタは、絶縁基板に被着形成された導電パターンによって形成してあるから、空心コイルとなり、従来のコア使用のものに比較して、低インダクタンス値が確保できる。

しかも、上述のようにして形成したインダクタに対し、コンデンサを、絶縁基板上に形成された導電パターンに接続する構成であるから、一段当りのコイルターン数と、コンデンサとの関係を自由に選定でき、遅延時間の短縮化、それによる高速ディレイラインの実現が可能である。

#### 実施例

第1図は本考案に係るディレイラインの平面図、第2図はコンデンサを取除いた状態での平面図である。6は絶縁基板である。絶縁基板6は、誘電率 $\epsilon$ の小さな安定した材料、例えばアルミナ、ガラスエポキシまたはフェライト等によって

形成する。絶縁基板 6 の表面 6 a 及び裏面 6 b にはインダクタを構成する導電パターン 7 a、7 b が被着形成されている。導電パターン 7 a、7 b は、第 2 図にも示すように、基板 6 の厚み方向に貫通する貫通孔 8 の内部に形成された導電部 7 c によって、基板 6 の厚み方向の両面 6 a、6 b 側で連続させながら、基板 6 の長さ L 方向に向かって、螺旋状に形成してある。貫通孔 8 は、基板の幅 W 方向に間隔  $D_1$  をおき、基板 6 の長さ L 方向に沿って二列形成してある。各列の貫通孔 8 は間隔  $d_1$  をおいて形成してある。

9 はコンデンサである。この実施例では、端部に取出電極 9 a、9 b を有するチップ状のセラミックコンデンサを使用している。絶縁基板 6 のコンデンサ取付位置には、導電パターン 7 a から引出された導電パターン 7 d を形成すると共に、この導電パターン 7 d から間隔  $d_2$  をおいて、アースパターンとなる導電パターン 10 から枝分かれする導電パターン 10 a を形成してあり、コンデンサ 9 は、取出電極 9 a、9 b を導電パター



ン7 d、10 a上にそれぞれ半田付け固定することによって、絶縁基板6上に配置すると共に、インダクタに電氣的に接続してある。この他に、絶縁基板6を誘電体基板とし、その誘電率を利用してコンデンサ9を形成する構造をとることも可能である。11は入力用の導電パターン、12は終端抵抗となるチップ抵抗器である。

上述のように、本考案においては、インダクタは、絶縁基板6に被着形成された導電パターン7 a、7 bによって形成してあるから、空心コイルとなり、従来のコア使用のものに比較して、低インダクタンス値が確保できる。

しかも、上述のようにして形成したインダクタに対し、コンデンサ9を、絶縁基板6の面上に配置した上で、導電パターン7 aに接続する構成であるから、一区间におけるターン数と、コンデンサ9との関係を、導電パターン7 aに対するコンデンサ9の接続位置によって自由に選定でき、遅延時間の短縮化、それによる高速ディレイラインの実現が可能になる。

コンデンサ 9 は、絶縁基板 6 の片面側だけに限らず両面側に配置してもよく、また、導電パターン 7 a、7 b を間に挟んでその両側に配置してもよい。

第 3 図は本考案に係るディレイラインの別の実施例における平面図である。この実施例では、基板 6 の長さ方向に隣り合う貫通孔 8-8 を、基板 6 の幅方向で段違い  $\Delta D$  となる位置に形成してある。このような構造であると、隣り合う貫通孔 8-8 の重なりがなくなるから、導電パターン 7 a、7 b の集積密度を上げることができる。

#### 考案の効果

以上述べたように、本考案は、インダクタを絶縁基板に被着形成された導電パターンによって構成し、この導電パターンに対してコンデンサを接続することにより、遅延時間の小さい高速ディレイラインを実現することができる。

4 . 図面の簡単な説明

第1図は本考案に係るディレイラインの平面図、第2図はコンデンサを取除いた状態での平面図、第3図は本考案に係るディレイラインの別の実施例における平面図、第4図はディレイラインの電気回路図、第5図は従来のディレイラインの正面部分断面図である。

6 . . . . 回路基板

7 a、7 b . . . . 導電パターン

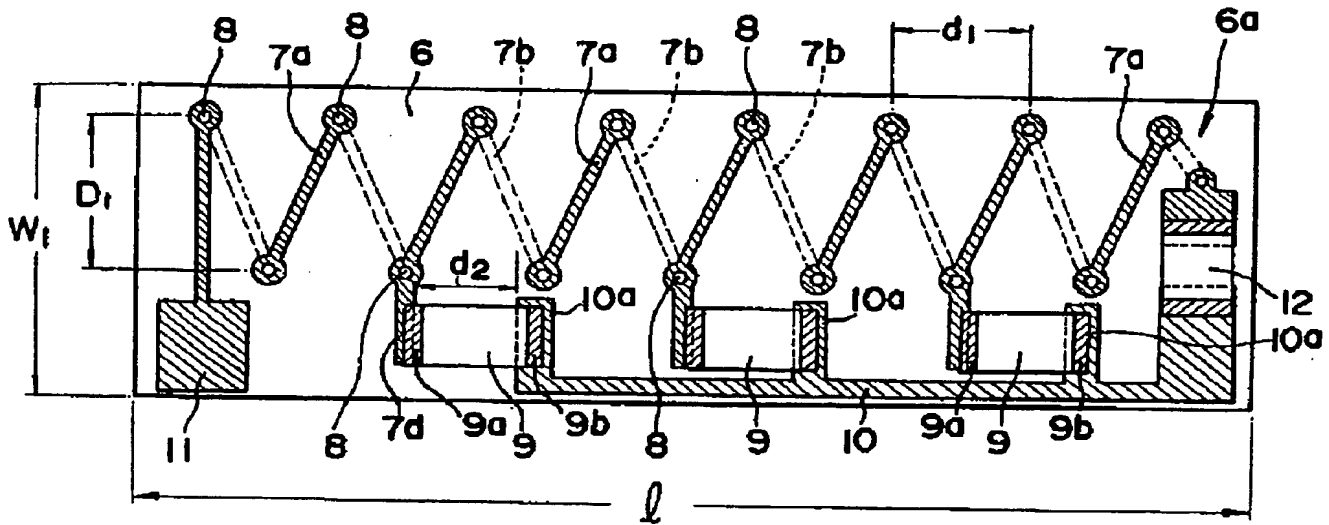
9 . . . . コンデンサ

実用新案登録出願人 ティーディーケー株式会社

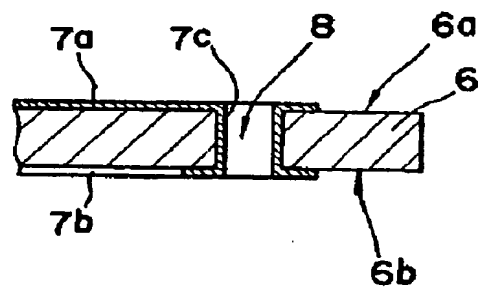
代理人 弁理士 阿部 美次郎



第 1 図



第 2 図



207

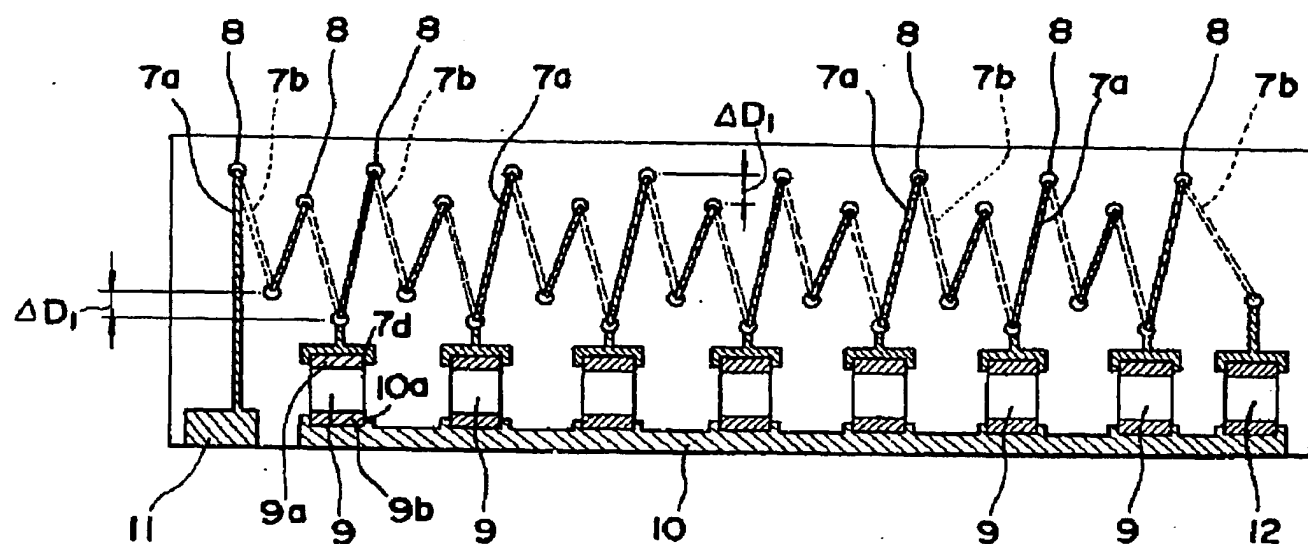
実用新案登録出願人

ティーディーケイ株式会社

代理人 弁理士 阿部美次郎



第 3 圖

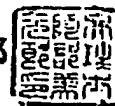


208

實用新案登録出願人

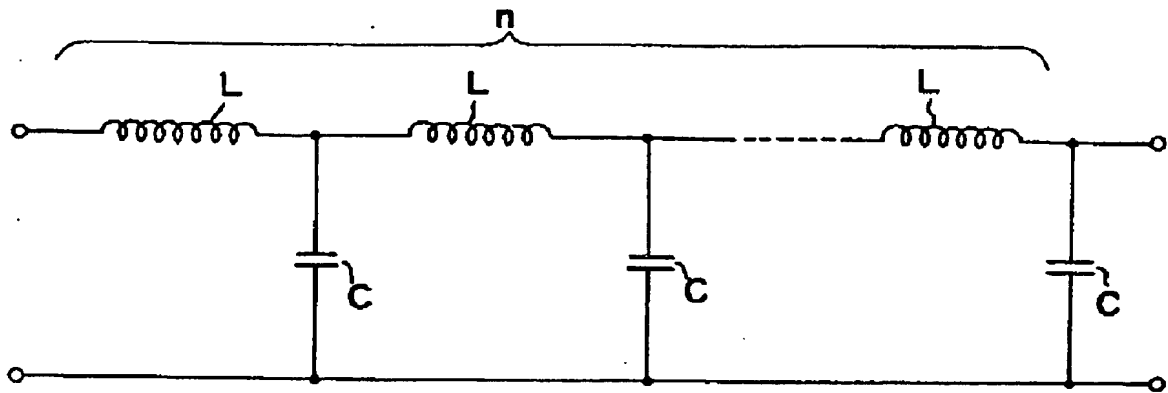
ティーディーケイ株式会社

代理人 弁理士 阿部美次郎

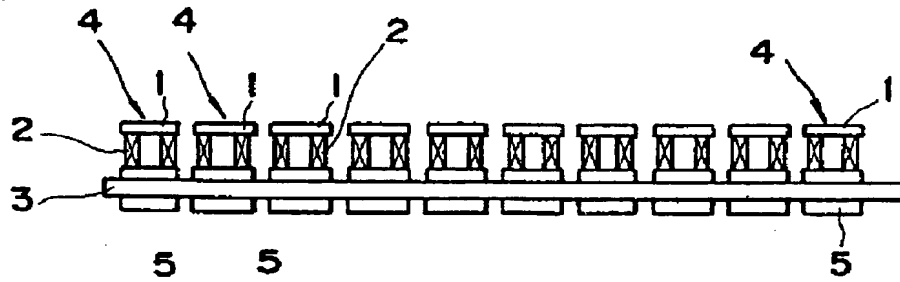


Ref: 01528

第 4 図



第 5 図



203.

実用新案登録出願人

ティーディーケー株式会社

代理人 弁理士 阿部美次郎

